

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



Applicant : HON
Application No. : 10/700,537
Filed : November 5, 2003
Title : GALLIUM NITRIDE BASED COMPOUND
SEMICONDUCTOR LIGHT-EMITTING DEVICE
AND MANUFACTURING METHOD THEREFOR
Group Art Unit : 2811
Examiner : Unknown
Attorney Docket : 3244-8

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant hereby claims priority from Taiwan Patent Application No. 091132695, filed on November 6, 2002. A certified copy of this application is enclosed.

Acknowledgment of the receipt of the claim to priority, along with the certified copy of the priority document is respectfully requested.

Respectfully submitted,

Date: April 9, 2004

By:

Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2002 年 11 月 06 日
Application Date

申請案號：091132695
Application No.

申請人：炬鑫科技股份有限公司
Applicant(s)

SN 10-700,537
Filed 11-5-2003
Atty 3244-8)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 1 日
Issue Date

發文字號：09220883840
Serial No.

發明專利說明書

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：091132695 ※IPC分類：

※申請日期：91.11.6

壹、發明名稱

(中文) 氮化鎵基 III-V 族化合物半導體之發光二極體及其製造方法

(英文) GaN-based III-V group compound semiconductor light-emitting diode and the manufacturing method thereof

貳、發明人 (共 參 人)

發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文) 洪 詳 竣

(英文) Hon, Schang-Jing

住居所地址：(中文) 桃園縣八德市竹興街 29 巷 8 號 2 樓

(英文)

參、申請人 (共 壹 人)

申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文) 炬鑫科技股份有限公司

(英文) Super Nova Optoelectronics Corporation

住居所或營業所地址：(中文) 台北市 106 復興南路一段 137 號 14 樓之一

(英文) 14FL-1, No. 137, Sec 1, Fu-Shing S. Rd., Taipei

106, Taiwan, R.O.C.

國籍：(中文) 中華民國 (英文)

代表人：(中文) 沈 明 福

(英文) Shen, Michael

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)

發明人 2

姓名：(中文) 黃 振 斌

(英文) Huang, Jenn-Bin

住居所地址：(中文) 台中縣大甲鎮順天路 307 號

(英文)

國籍：(中文) 中華民國

(英文)

發明人 3

姓名：(中文) 易 乃 冠

(英文) Yih, Nai-Guann

住居所地址：(中文) 桃園縣龍潭鄉干城路 170 號

(英文)

國籍：(中文)

(英文)

發明人 4

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 5

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

發明人 6

姓名：(中文)

(英文)

住居所地址：(中文)

(英文)

國籍：(中文)

(英文)

肆、中文發明摘要

氮化鎵基 III - V 族化合物半導體之發光二極體及其製造方法

一種「氮化鎵基 III - V 族化合物半導體之發光二極體及其製造方法」，係在一基板上成長一具有活性層之多層磊晶結構，藉由一可形成於 Ni/Au 層上之可透光金屬氧化層作為光取出層，並利用 Ni/Au 層作為光取出層與多層磊晶結構間之歐姆接觸層，且將 n 型金屬電極設置在多層磊晶結構之 n 型半導體層露出面上，並將 p 型金屬電極設置在光取出層上，而構成一 LED 發光裝置。

伍、英文發明摘要

GaN-based III - V group compound semiconductor light-emitting diode and the manufacturing method thereof

陸、(一)、本案指定代表圖爲：第 3 圖

(二)、本代表圖之元件代表符號簡單說明：

基板 10

上表面 11

多層磊晶結構 20

緩衝層 22

第一半導體層 24

光產生層 26

第二半導體層 28

光取出層 30

n型金屬電極 40

p型金屬電極 50

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

捌、聲明事項

☐ 本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. _____
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

本發明為一種「氮化鎵基Ⅲ-V族化合物半導體之發光二極體及其製造方法」，尤指一種適用於氮化鎵基(GaN-based)Ⅲ-V族材料之發光二極體者(light-emitting diode，簡稱LED)，主要係在一基板上(substrate)成長一多層磊晶結構(multi-layered epitaxial structure)，藉由一可形成於Ni/Au層上之可透光金屬氧化層(metal oxide layer，例如ZnO)作為光取出層(light extraction layer)，並利用Ni/Au層作為光取出層與多層磊晶結構間之歐姆接觸(Ohmic Contact)層，以構成一LED之發光裝置。

根據本發明方法，本發明裝置包括一基板、一多層磊晶結構、一Ni/Au歐姆接觸層、一光取出層、一n型金屬電極(n-type metal contact)及一p型金屬電極(p-type metal contact)等構成；其中，該多層磊晶結構又包括緩衝層(buffer layer)、第一半導體層、光產生層(light generating layer)、及第二半導體層等；其中，該Ni/Au層，係形成於第二半導體層上；且該光取出層，係形成於Ni/Au層上，厚度至少在 $1\mu\text{m}$ ，並具有粗糙表面(Rough Surface)或壓花紋路，故有較高之光取出率(light extraction efficiency)。

按，習式之氮化鎵基發光裝置，係以Ni/Au結構作為透明電極於P型半導體層表面，而藉以改善發光裝置之發光效率；惟，Ni/Au結構本身即具有透光性較為不佳之材質特性，因此，結構特徵上，Ni/Au結構之成形厚度極薄，僅可在0.005

☒ 續次頁 (發明說明頁不敷使用時，請註記並使用續頁)

至 $0.2\mu\text{m}$ 之間；又，根據臨界角度 θ_c (Critical Angle) 原則，透明電極應具有適當厚度（即適度之厚膜化），方可利於光之逃脫放出，則Ni/Au結構在厚度特徵之限制下，其對於透光性之增益，恐仍有未盡理想之處。

再者，習式以Ni/Au結構作為透明電極之氮化鎵基發光裝置，因前述之結構特徵使然，難以在 0.005 至 $0.2\mu\text{m}$ 間之成形厚度上，再施予表面處理而形成更多之側邊，故無法進一步增加光之逃脫放出，而有所缺憾。

本發明之主要目的，即為提供一種「氮化鎵基Ⅲ-V族化合物半導體之發光二極體及其製造方法」，且該方法及裝置明顯具備下列優點、特徵及目的：

01、本發明因係以一可形成於Ni/Au層上之可透光金屬氧化層（例如ZnO）作為光取出層，並利用Ni/Au層作為光取出層與多層磊晶結構間之歐姆接觸層，而構成一LED之發光裝置，且該光取出層厚度至少在 $1\mu\text{m}$ ，故可在光取出層上進一步施予表面處理，以形成更多之側邊，而大幅增進光之逃脫放出；

02、本發明之光取出層，可具有粗糙表面或壓花紋路，且該壓花紋路，係可為圓錐體、或三角錐體、或四角錐體（金字塔體）、或其他幾何錐體之變化者；

03、該光取出層所具有之壓花紋路，亦可由多數個凹槽所佈設而成，且凹槽之佈設方式可排列呈三角形、矩形、菱形、多邊形、或其他幾何形狀之排列變化者等，凹槽間並具有適當間隔距離，以供電流導通；

04、本發明之活性層，係可為GaN多量子井（Multi-Quantum Well，簡稱MQW）或InGaN多量子井（MQW），或AlGaInN基Ⅲ-V族之單一磊晶層；

05、 ZnO 、 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 、 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 、 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 等材質，皆可形成本發明所需之金屬氧化層，而適用於本發明之光取出層者；

06、折射率在1.5以上之金屬氧化層，即可適用於本發明之光取出層者；

07、n型傳導或p型傳導之金屬氧化層，亦為本發明光取出層之適用者；

08、摻雜有稀土元素之金屬氧化層，亦為本發明光取出層之適用者；

09、具有較佳之可見光透光性範圍（例如約在400至700nm）之金屬氧化層，亦為本發明光取出層之適用者者。

本發明之特徵、技術手段、具體功能、以及具體之實施例，繼以圖式、圖號詳細說明如後：

圖式說明如下：

第1圖係為本發明方法較佳實施例之步驟示意圖；

第2圖係為本發明裝置較佳實施例之立體示意圖；

第3圖係為本發明裝置較佳實施例之結構示意圖；

第4圖係為本發明裝置內光之逃脫放出示意圖；

第5至6圖係為光取出層之表面處理示意圖；

第7至8圖係為壓花紋路之另一實施例示意圖；

第9圖係為本發明方法第二實施例之步驟示意圖；

第 1 0 圖係爲本發明裝置第二實施例之結構示意圖；
第 1 1 圖係爲本發明裝置第三實施例之結構示意圖；
第 1 2 圖係爲本發明方法第三實施例之步驟示意圖；
第 1 3 圖係爲本發明方法第四實施例之步驟示意圖；
第 1 4 圖係爲本發明裝置第四實施例之結構示意圖。
圖號說明如下：

基板 10

上表面 11

多層磊晶結構 20

n-GaN層 21

露出面 21a

緩衝層 22

MQW活性層 23

第一半導體層 24

p-GaN層 25

光產生層 26

Ni/Au層 27

第二半導體層 28

Ni/Au歐姆接觸層 29

光取出層 30

表面 301

側邊 302

壓花紋路 303,305

凹槽 307

ZnO系窗口層 31

$\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層 32

$\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層 33

$\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層 34

n型金屬電極 40

p型金屬電極 50

請參閱第 1 至 3 圖所示，在較佳實施例中，本發明係利用透光性較佳之 ZnO 材料，以磊晶之方式成長一適當厚度之金屬氧化層於多層磊晶結構上，而形成一較佳之光取出層；如第 1 至 2 圖所示，本發明方法係可包含以下之步驟：

步驟 1，係為「在基板上成長 n-GaN 系磊晶沉積層」之步驟，利用藍寶石（sapphire）或碳化矽（SiC）作為基板 10，且在基板 10 之上表面 11 形成一緩衝層後，再成長一 n-GaN 系之磊晶沉積層 21；

步驟 2，係為「在 n-GaN 層上成長一 MQW 活性層」之步驟，接續步驟 1，在 n-GaN 系之磊晶沉積層 21 上形成一 MQW 之活性層 23；

步驟 3，係為「在活性層上成長 p-GaN 系磊晶沉積層」之步驟，接續步驟 2，在 MQW 活性層 23 上形成一層 p-GaN 系（p-GaN-based，例如：p-GaN、p-InGaN、p-AlInGaN）之磊晶沉積層 25，且以蝕刻法（Etching）將部份 n-GaN 層 21 表面、部份 MQW 活性層 23、及部份 p-GaN 層 25 移除，使 n-GaN 層 21 具有一露出面 21a；

步驟4，係為「在p-GaN層表面鍍上Ni/Au歐姆接觸層」之步驟，接續步驟3，可在蝕刻後剩餘之p-GaN層25表面，鍍上一層極薄之Ni/Au層27；

步驟5，係為「在Ni/Au層表面鍍上ZnO系窗口層」之步驟，接續步驟4，在Ni/Au層27表面，鍍上至少在 $1\mu\text{m}$ 厚度之ZnO系窗口層31，並由Ni/Au層27作為ZnO系窗口層31與p-GaN層25間之歐姆接觸層；

步驟6，係為「在ZnO系透明導電層上施予表面處理」之步驟，接續步驟5，可在n-GaN層21之露出面21a上設置一n型金屬電極40，並在ZnO系窗口層31上設置一p型金屬電極50，且因ZnO系窗口層31具有至少 $1\mu\text{m}$ 厚度，故可在ZnO系窗口層31之裸露表面（即ZnO系窗口層31表面不含與p型金屬電極50接觸之部份），進一步施予表面處理而使其粗糙化；

藉此，以構成一LED之發光裝置，且ZnO系窗口層31將具有適當之厚度及更多之側邊，而形成一較佳之光取出層，以增益光之逃脫放出。

此間擬提出說明者，乃在於：本發明之金屬氧化層（ZnO），係可由濺鍍自我組織（self-texturing by sputtering）法所形成，或可由物理氣相沉積（physical vapor deposition）法所形成，或可由離子電鍍（ion plating）法所形成，或可由脈衝雷射蒸鍍（pulsed laser evaporation）法所形成，或可由化學氣相沉積（chemical vapor deposition）法所形成，或可由分子束磊晶成長（molecular beam epitaxy）法所形

成。

此間擬再予提出說明者，乃在於：前述之發光裝置，經由晶粒加工後可設置在腳架（圖未出示）上，且接線後可由樹脂灌膜封裝，而製成一完整之LED，由於此為習用技術，容不再贅述。

如第3圖所示，本發明裝置之結構，包括一基板10、一多層磊晶結構20、一Ni/Au歐姆接觸層29、一光取出層30、一n型金屬電極40及一p型金屬電極50等構成；該多層磊晶結構20又包括緩衝層22、第一半導體層24、光產生層26、及第二半導體層28等；其中：

該基板10，係以藍寶石或碳化矽（SiC）製成，基板厚度可在300至450 μm ；

該緩衝層22，係於基板10之上表面11所形成之LT-GaN / HT-GaN之緩衝層，LT-GaN係為先成長在基板101上之低溫緩衝層，厚度可在30至500Å，HT-GaN係為成長在LT-GaN上之高溫緩衝層，厚度可在0.5至6 μm ；

該第一半導體層24，係成長於緩衝層22上之n型GaN基Ⅲ-V族化合物半導體層（n-type gallium nitride-based Ⅲ-V group compound semiconductor），厚度可在2至6 μm ，成長溫度 T_g 約在980至1080℃之間；

該光產生層26，係成長於第一半導體層24上之GaN基Ⅲ-V族化合物半導體層（gallium nitride-based Ⅲ-V group compound semiconductor），或稱為活性層，可為GaN多量子井（Multi-Quantum Well，簡稱MQW）或InGaN多量子井（

MQW)；

該第二半導體層28，係成長於光產生層26上之p型GaN基Ⅲ-V族化合物半導體層(p-type gallium nitride-based Ⅲ-V group compound semiconductor)，例如：p-GaN、p-InGaN、p-AlInGaN之磊晶沉積層，厚度可在0.2至0.5 μm ，成長溫度 T_g 約在950至1000°C之間；

該Ni/Au歐姆接觸層29，係形成於第二半導體層28表面，厚度可在0.005至0.2 μm ；

該光取出層30，係形成於Ni/Au層29上可透光之金屬氧化層(light-transmitting oxide-metallic material)，可為ZnO材質，厚度至少在1 μm ，且具有粗糙表面301，並由Ni/Au層29作為光取出層30與第二半導體層28間之歐姆接觸層；

該n型金屬電極40，係設置在第一半導體層24之露出面24a上；

該p型金屬電極50，係設置在光取出層30上；

藉此，可構成一具有光取出層30之發光裝置，且光取出層30可使從活性區(active region)所散發之光更易於穿透光取出層30之側邊及表面，而增加光(emitted light)之逃脫量，以提升發光裝置之光取出率。

此間應再予以說明者，乃在於：

該光產生層26(即活性層)，亦可僅包括一磊晶層(epitaxial layer)，且該磊晶層，係由AlGaInN基Ⅲ-V族化合物半導體層(aluminum-gallium-indium-nitride-based Ⅲ-V group compound semiconductor)所構成；

該光取出層30，進一步亦可由 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 為材質、或以 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 為材質、或以 $\text{In}_x\text{SnyZn}_{1-x-y}\text{O}$ 為材質所構成之金屬氧化層者；

該光取出層30，亦可為折射率（refractive index）至少在1.5之金屬氧化層者；

該光取出層30，亦可為n型傳導（n-type conduction）或p型傳導（p-type conduction）之金屬氧化層者；

該光取出層30，亦可為摻雜有稀土元素（rare earth-doped）之金屬氧化層者；

該光取出層30，可為具有較佳之可見光透光性範圍（transparency in visible range）之金屬氧化層者，例如：範圍約在400至700nm者；

以上所述，皆為本發明裝置可行之方式，應可視為依本發明裝置之較佳實施範例所推廣，並循依本發明之精神所延伸之適用者，故仍應包括在本案之專利範圍內。

請參閱第4圖所示，本發明之光取出層30，厚度實施之範圍可在50Å至50 μm ，故可厚膜化；由於LED之發光裝置內，只有在臨界角度 θ_c （Critical Angle）以內之光才能逃脫放出，所以，具有適當厚度之光取出層，可提升發光裝置之光取出率；如圖所示，若該光取出層30之厚度至少在1 μm ，則從活性區所散發之光更易於穿透光取出層30，而具有較佳光取出率；再者，該光取出層30又具有粗糙表面301，因此，具有更多之側邊302，而可大幅增加光之逃脫放出。

請參閱第 5 至 6 圖所示，承前所述，該光取出層 30 表面，進一步亦可施予壓花處理，而形成壓花紋路，同樣地，該壓花紋路亦可使光取出層 30 具有更多之側邊，而大幅增加光之逃脫放出；如第 5 圖所示，該壓花紋路 303，可為圓錐體或三角錐體者；如第 6 圖所示，該壓花紋路 305，可為四角錐體（金字塔體）等；且其他幾何錐體之變化者亦為本發明壓花紋路之可行方式。

請參閱第 7 至 8 圖所示，係為壓花紋路之另一實施例平面示意圖及部份立體示意圖；其中，該壓花紋路，進一步亦可由多數個凹槽 307 所佈設而成，且凹槽 307 之佈設方式可排列呈三角形、矩形、菱形、及多邊形等，凹槽 307 間並具有適當間隔距離，以供電流導通，且其他幾何形狀之排列變化者亦為本發明可行之方式。

請參閱第 9 至 10 圖所示，在第二實施例中，本發明亦可實施於具有透光性之 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 材料；本實施例之方法步驟大致與較佳實施例者相同，僅步驟 5,6 改為步驟 5a,6a，其中：

步驟 5a，係為「在 Ni/Au 層表面鍍上 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層」之步驟，接續步驟 4，在 Ni/Au 層 27 表面，鍍上至少在 $1\mu\text{m}$ 厚度之 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層 32，並由 Ni/Au 層 27 作為 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層 32 與 p-GaN 層 25 間之歐姆接觸層；

步驟 6a，係為「在 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系透明導電層上施予表面處理」之步驟，接續步驟 5a，可在 n-GaN 層 21 之露出面 21a 上設置一 n 型金屬電極 40，並在 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層 32 上設置一 p

型金屬電極50，且因 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層32具有至少 $1\mu\text{m}$ 厚度，故可在 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層32之裸露表面（即 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層32表面不含與p型金屬電極50接觸之部份），進一步施予表面處理，而具有粗糙表面321或壓花紋路；此為本發明方法之另一可行方式，應可視為依本發明方法之較佳實施範例所推廣，並循依本發明之精神所延伸之適用者，故仍應包括在本案之專利範圍內。

請參閱第11至12圖所示，在第三實施例中，本發明亦可實施於具有透光性之 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 材料；本實施例之方法步驟大致與較佳實施例者相同，僅步驟5,6改為步驟5b,6b，其中：

步驟5b，係為「在Ni/Au層表面鍍上 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層」之步驟，接續步驟4，在Ni/Au層27表面，鍍上至少在 $1\mu\text{m}$ 厚度之 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層33，並由Ni/Au層27作為 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層33與p-GaN層25間之歐姆接觸層；

步驟6b，係為「在 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系透明導電層上施予表面處理」之步驟，接續步驟5b，可在n-GaN層21之露出面21a上設置一n型金屬電極40，並在 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層33上設置一p型金屬電極50，且因 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層33具有至少 $1\mu\text{m}$ 厚度，故可在 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層33之裸露表面（即 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層33表面不含與p型金屬電極50接觸之部份），進一步施予表面處理，而具有粗糙表面331或壓花紋路；此為本發明方法之另一可行方式，應可視為依本發明方法之較佳實施範例所推廣，並循依本發明之精神所延伸之適用者，

故仍應包括在本案之專利範圍內。

請參閱第 1 3 至 1 4 圖所示，在第四實施例中，本發明亦可實施於具有透光性之 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 材料；本實施例之方法步驟大致與較佳實施例者相同，僅步驟 5,6 改為步驟 5C,6C，其中：

步驟 5C，係為「在 Ni/Au 層表面鍍上 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層」之步驟，接續步驟 4，在 Ni/Au 層 27 表面，鍍上至少在 $1\mu\text{m}$ 厚度之 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層 34，並由 Ni/Au 層 27 作為 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層 34 與 p-GaN 層 25 間之歐姆接觸層；

步驟 6C，係為「在 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系透明導電層上施予表面處理」之步驟，接續步驟 5C，可在 n-GaN 層 21 之露出面 21a 上設置一 n 型金屬電極 40，並在 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層 34 上設置一 p 型金屬電極 50，且因 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層 34 具有至少 $1\mu\text{m}$ 厚度，故可在 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層 34 之裸露表面（即 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層 34 表面不含與 p 型金屬電極 50 接觸之部份），進一步施予表面處理，而具有粗糙表面 341 或壓花紋路；此為本發明方法之另一可行方式，應可視為依本發明方法之較佳實施範例所推廣，並循依本發明之精神所延伸之適用者，故仍應包括在本案之專利範圍內。

綜上所述，本發明顯見實已符合發明專利之成立要件，爰依法提出專利之申請，懇請早日賜准本案專利，以彰顯專利法獎勵國人創作之立法精神，是所至盼。

拾、申請專利範圍

1. 一種「氮化鎵基 III-V 族化合物半導體之發光二極體製造方法」，係可包含以下之步驟：

(a) 在基板上成長 n-GaN 系磊晶沉積層之步驟，利用藍寶石或碳化矽 (SiC) 作為基板，且在基板之上表面形成一緩衝層後，再成長一層 n-GaN 系之磊晶沉積層；

(b) 在 n-GaN 層上成長一 MQW 活性層之步驟，接續步驟 (a)，在 n-GaN 系之磊晶沉積層上形成一 MQW 之活性層；

(c) 在活性層上成長 p-GaN 系磊晶沉積層之步驟，接續步驟 (b)，在 MQW 活性層上形成一層 p-GaN 系 (p-GaN-based) 之磊晶沉積層，且以蝕刻法將部份 n-GaN 層表面、部份 MQW 活性層、及部份 p-GaN 層移除，使 n-GaN 層具有一露出面；

(d) 在 p-GaN 層表面鍍上 Ni/Au 歐姆接觸層之步驟，接續步驟 (c)，可在蝕刻後剩餘之 p-GaN 層表面，鍍上一層極薄之 Ni/Au 層；

(e) 在 Ni/Au 層表面鍍上 ZnO 系窗口層之步驟，接續步驟 (d)，在 Ni/Au 層表面，鍍上至少在 $1\mu\text{m}$ 厚度之 ZnO 系窗口層，並由 Ni/Au 層作為 ZnO 系窗口層與 p-GaN 層間之歐姆接觸層；

(f) 在 ZnO 系透明導電層上施予表面處理之步驟，接續步驟 5，可在 n-GaN 層之露出面上設置一 n 型金屬電極，並在 ZnO 系窗口層上設置一 p 型金屬電極，且於 ZnO 系窗口層之裸露表面，施予表面處理而具有粗糙表面或壓花紋

☒ 續次頁 (申請專利範圍頁不敷使用時，請註記並使用續頁)

路；藉此，以構成一 LED 之發光裝置。

2.一種「氮化鎵基 III-V 族化合物半導體之發光二極體製造方法」，係可包含以下之步驟：

(a) 在基板上成長 n-GaN 系磊晶沉積層之步驟，利用藍寶石或碳化矽 (SiC) 作為基板，且在基板之上表面形成一緩衝層後，再成長一層 n-GaN 系之磊晶沉積層；

(b) 在 n-GaN 層上成長一 MQW 活性層之步驟，接續步驟 (a)，在 n-GaN 系之磊晶沉積層上形成一 MQW 之活性層；

(c) 在活性層上成長 p-GaN 系磊晶沉積層之步驟，接續步驟 (b)，在 MQW 活性層上形成一層 p-GaN 系 (p-GaN-based) 之磊晶沉積層，且以蝕刻法將部份 n-GaN 層表面、部份 MQW 活性層、及部份 p-GaN 層移除，使 n-GaN 層具有一露出面；

(d) 在 p-GaN 層表面鍍上 Ni/Au 歐姆接觸層之步驟，接續步驟 (c)，可在蝕刻後剩餘之 p-GaN 層表面，鍍上一層極薄之 Ni/Au 層；

(e) 在 Ni/Au 層表面鍍上 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層之步驟，接續步驟 (d)，在 Ni/Au 層表面，鍍上至少在 $1\mu\text{m}$ 厚度之 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層，並由 Ni/Au 層作為 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層與 p-GaN 層間之歐姆接觸層；

(f) 在 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系透明導電層上施予表面處理之步驟，接續步驟 (e)，可在 n-GaN 層之露出面上設置一 n 型金屬電極，並在 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層上設置一 p 型金屬電極，且於 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層之裸露表面，施予表面處理而

具有粗糙表面或壓花紋路；藉此，以構成一 LED 之發光裝置。

3.一種「氮化鎵基 III-V 族化合物半導體之發光二極體製造方法」，係可包含以下之步驟：

(a) 在基板上成長 n-GaN 系磊晶沉積層之步驟，利用藍寶石或碳化矽 (SiC) 作為基板，且在基板之上表面形成一緩衝層後，再成長一層 n-GaN 系之磊晶沉積層；

(b) 在 n-GaN 層上成長一 MQW 活性層之步驟，接續步驟 (a)，在 n-GaN 系之磊晶沉積層上形成一 MQW 之活性層；

(c) 在活性層上成長 p-GaN 系磊晶沉積層之步驟，接續步驟 (b)，在 MQW 活性層上形成一層 p-GaN 系 (p-GaN-based) 之磊晶沉積層，且以蝕刻法將部份 n-GaN 層表面、部份 MQW 活性層、及部份 p-GaN 層移除，使 n-GaN 層具有一露出面；

(d) 在 p-GaN 層表面鍍上 Ni/Au 歐姆接觸層之步驟，接續步驟 (c)，可在蝕刻後剩餘之 p-GaN 層表面，鍍上一層極薄之 Ni/Au 層；

(e) 在 Ni/Au 層表面鍍上 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 系窗口層之步驟，接續步驟 (d)，在 Ni/Au 層表面，鍍上至少在 $1\mu\text{m}$ 厚度之 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層，並由 Ni/Au 層作為 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層與 p-GaN 層間之歐姆接觸層；

(f) 在 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系透明導電層上施予表面處理之步驟，接續步驟 (e)，可在 n-GaN 層之露出面上設置一 n 型金屬電極，並在 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層上設置一 p 型金屬電

極，且於 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 系窗口層之裸露表面，施予表面處理而具有粗糙表面或壓花紋路；藉此，以構成一 LED 之發光裝置。

4. 一種「氮化鎵基 III-V 族化合物半導體之發光二極體製造方法」，係可包含以下之步驟：

(a) 在基板上成長 n-GaN 系磊晶沉積層之步驟，利用藍寶石或碳化矽 (SiC) 作為基板，且在基板之上表面形成一緩衝層後，再成長一層 n-GaN 系之磊晶沉積層；

(b) 在 n-GaN 層上成長一 MQW 活性層之步驟，接續步驟 (a)，在 n-GaN 系之磊晶沉積層上形成一 MQW 之活性層；

(c) 在活性層上成長 p-GaN 系磊晶沉積層之步驟，接續步驟 (b)，在 MQW 活性層上形成一層 p-GaN 系 (p-GaN-based) 之磊晶沉積層，且以蝕刻法將部份 n-GaN 層表面、部份 MQW 活性層、及部份 p-GaN 層移除，使 n-GaN 層具有一露出面；

(d) 在 p-GaN 層表面鍍上 Ni/Au 歐姆接觸層之步驟，接續步驟 (c)，可在蝕刻後剩餘之 p-GaN 層表面，鍍上一層極薄之 Ni/Au 層；

(e) 在 Ni/Au 層表面鍍上 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層之步驟，接續步驟 (d)，在 Ni/Au 層表面，鍍上至少在 $1\mu\text{m}$ 厚度之 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層，並由 Ni/Au 層作為 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層與 p-GaN 層間之歐姆接觸層；

(f) 在 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系透明導電層上施予表面處理之步驟，接續步驟 (e)，可在 n-GaN 層之露出面上設置一 n

型金屬電極，並在 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層上設置一 p 型金屬電極，且於 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 系窗口層之裸露表面，施予表面處理而具有粗糙表面或壓花紋路；藉此，以構成一 LED 之發光裝置。

5. 一種「氮化鎵基 III-V 族化合物半導體之發光二極體」，包括一基板、一多層磊晶結構、一 Ni/Au 歐姆接觸層、一光取出層、一 n 型金屬電極及一 p 型金屬電極等構成，該多層磊晶結構又包括緩衝層、第一半導體層、光產生層、及第二半導體層等；其中：

該基板，係以藍寶石或碳化矽 (SiC) 製成；

該緩衝層，係於基板之上表面所形成之 LT-GaN / HT-GaN 之緩衝層，LT-GaN 係為先成長在基板上之低溫緩衝層，HT-GaN 係為成長在 LT-GaN 上之高溫緩衝層；

該第一半導體層，係成長於緩衝層上之 n 型 GaN 基 III-V 族化合物半導體層；

該光產生層，係成長於第一半導體層上之 GaN 基 III-V 族化合物半導體層，或稱為活性層，可為 GaN 多量子井 (MQW)；

該第二半導體層，係成長於光產生層上之 p 型 GaN 基 III-V 族化合物半導體層；

該 Ni/Au 歐姆接觸層，係形成於第二半導體層表面；

該光取出層，係形成於 Ni/Au 層上可透光之金屬氧化層，可為 ZnO 材質，厚度至少在 $1\mu\text{m}$ ，且具有粗糙表面粗糙表面或壓花紋路，並由 Ni/Au 層作為光取出層與第二半導體層間之歐姆接觸層；

該 n 型金屬電極，係設置在第一半導體層之露出面上；
該 p 型金屬電極，係設置在光取出層上；藉此，可經由後續之晶粒加工、設置、接線、及樹脂灌膜封裝，而構成一氮化鎵基（GaN-based）之發光二極體。

6.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該基板之厚度，可在 300 至 450 μm ；該 LT-GaN 之厚度，可在 30 至 500 \AA ；該 HT-GaN 之厚度，可在 0.5 至 6 μm ；該第一半導體層之厚度，可在 2 至 6 μm ；該第二半導體層，可為 p-GaN、p-InGaN、p-AlInGaN 之磊晶沉積層，厚度可在 0.2 至 0.5 μm ；該 Ni/Au 歐姆接觸層之厚度，可在 0.005 至 0.2 μm 。

7.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該光產生層，進一步亦為 InGaN 多量子井（MQW）。

8.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該光產生層，進一步亦可僅包括一磊晶層，且該磊晶層，係由 AlGaInN 基 III-V 族化合物半導體層所構成。

9.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該光取出層，進一步亦可由 $\text{In}_x\text{Zn}_{1-x}\text{O}$ 為材質所構成之金屬氧化層，且 $0 \leq x \leq 1$ 。

10.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該光取出層，進一步亦可由 $\text{Sn}_x\text{Zn}_{1-x}\text{O}$ 為材質所構成之金屬氧化層，且 $0 \leq x \leq 1$ 。

11.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物

半導體之發光二極體」，其中，該光取出層，進一步亦可由 $\text{In}_x\text{Sn}_y\text{Zn}_{1-x-y}\text{O}$ 為材質所構成之金屬氧化層，且 $0 \leq X \leq 1$ ，且 $0 \leq Y \leq 1$ ，且 $0 \leq X + Y \leq 1$ 。

12.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該光取出層，係可為折射率至少在 1.5 之金屬氧化層者。

13.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該光取出層，係可為 n 型傳導或 p 型傳導之金屬氧化層者。

14.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該光取出層，係可為摻雜有稀土元素之金屬氧化層者。

15.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該光取出層，係可為具有較佳之可見光透光性範圍之金屬氧化層者，且範圍約在 400 至 700nm 之間。

16.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該壓花紋路，係可由圓錐體所構成者。

17.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該壓花紋路，係可由三角錐體所構成者。

18.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該壓花紋路，係可由四角錐體所構成者。

19.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該壓花紋路，係可由任一幾何錐體所構成者。

20.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該壓花紋路，係可由多數個凹槽所佈設而成，且凹槽之佈設方式可排列呈三角形，凹槽間並具有適當間隔距離，以供電流導通。

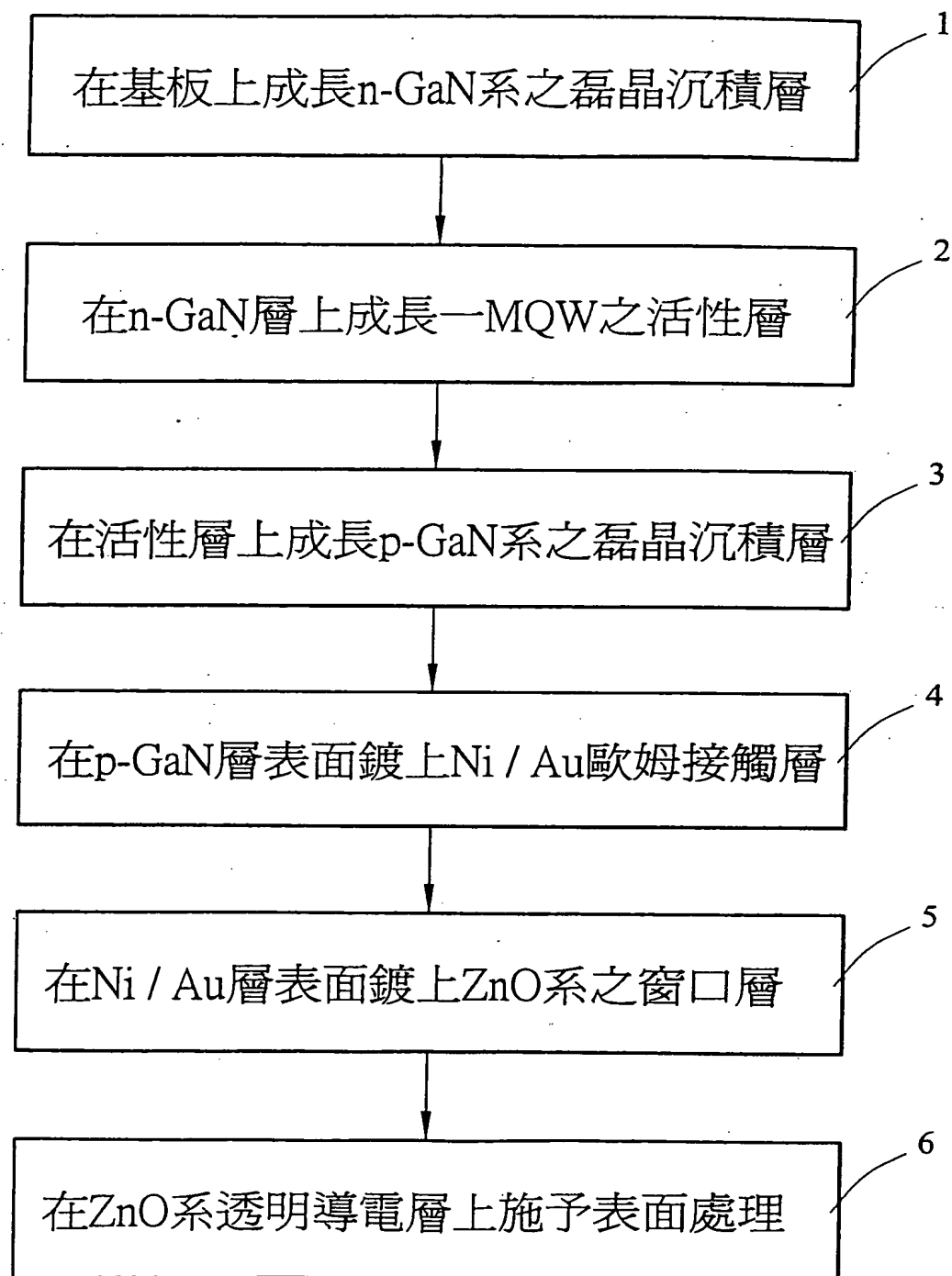
21.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該壓花紋路，係可由多數個凹槽所佈設而成，且凹槽之佈設方式可排列呈矩形，凹槽間並具有適當間隔距離，以供電流導通。

22.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該壓花紋路，係可由多數個凹槽所佈設而成，且凹槽之佈設方式可排列呈菱形，凹槽間並具有適當間隔距離，以供電流導通。

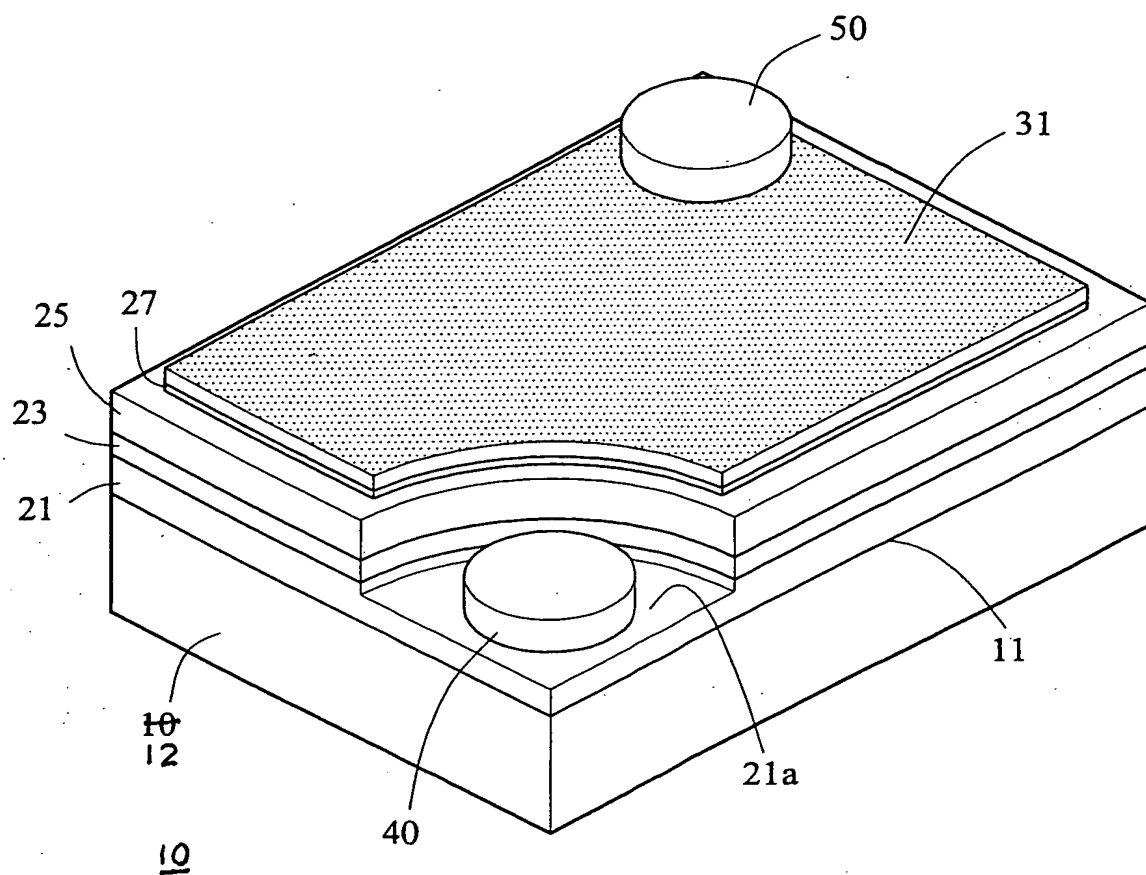
23.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該壓花紋路，係可由多數個凹槽所佈設而成，且凹槽之佈設方式可排列呈多邊形，凹槽間並具有適當間隔距離，以供電流導通。

24.如申請專利範圍第 5 項之「氮化鎵基 III-V 族化合物半導體之發光二極體」，其中，該壓花紋路，係可由多數個凹槽所佈設而成，且凹槽之佈設方式可排列呈任一幾何形狀，凹槽間並具有適當間隔距離，以供電流導通。

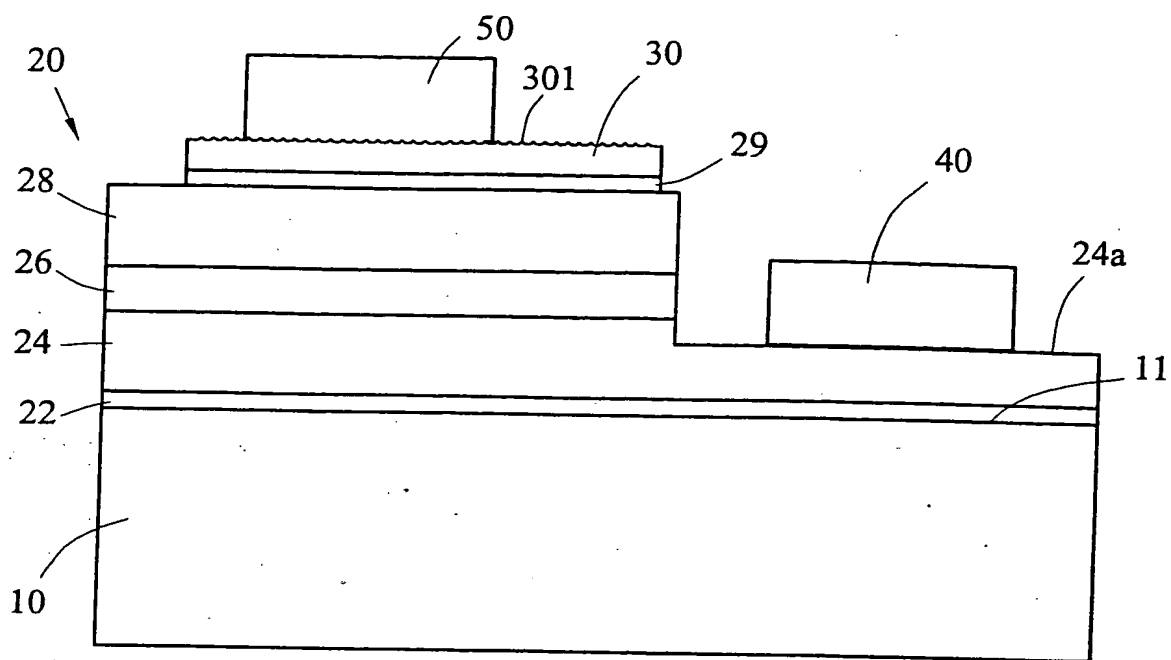
拾壹、圖式



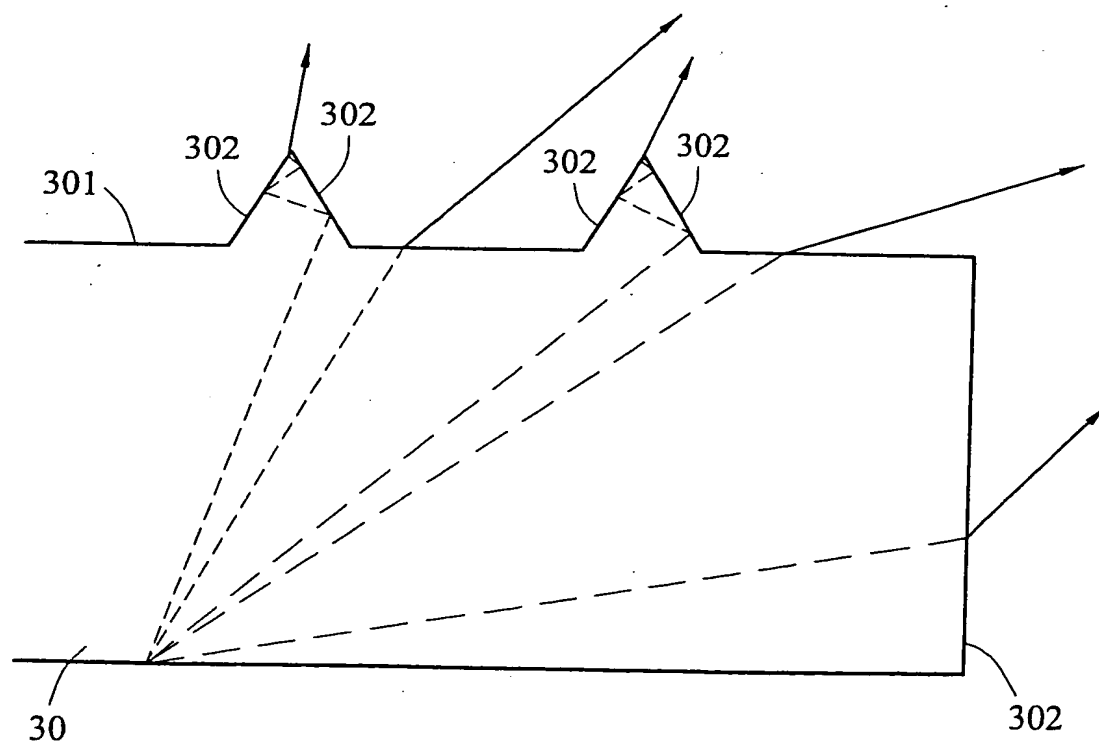
第 1 圖



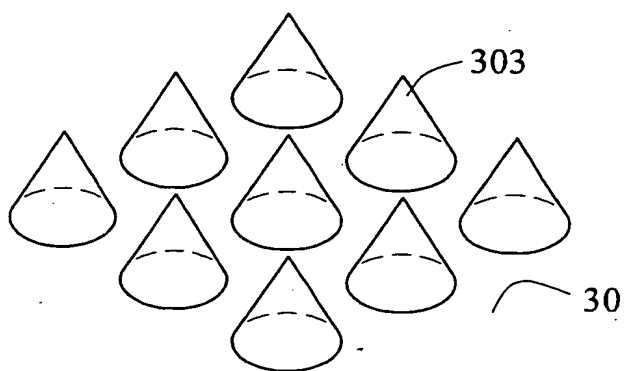
第 2 圖



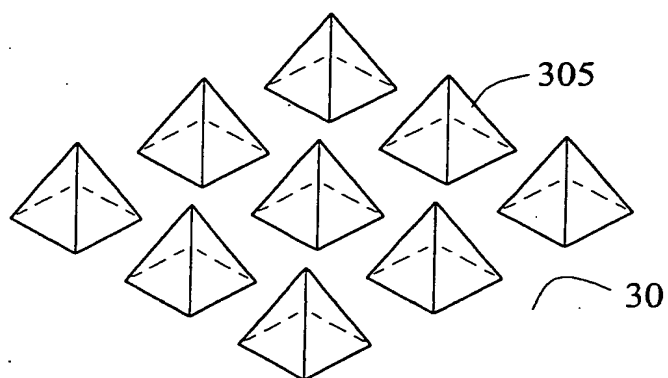
第 3 圖



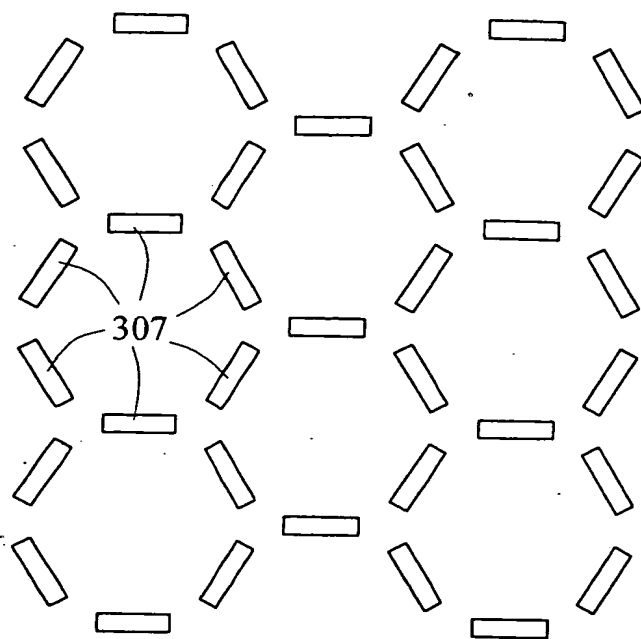
第 4 圖



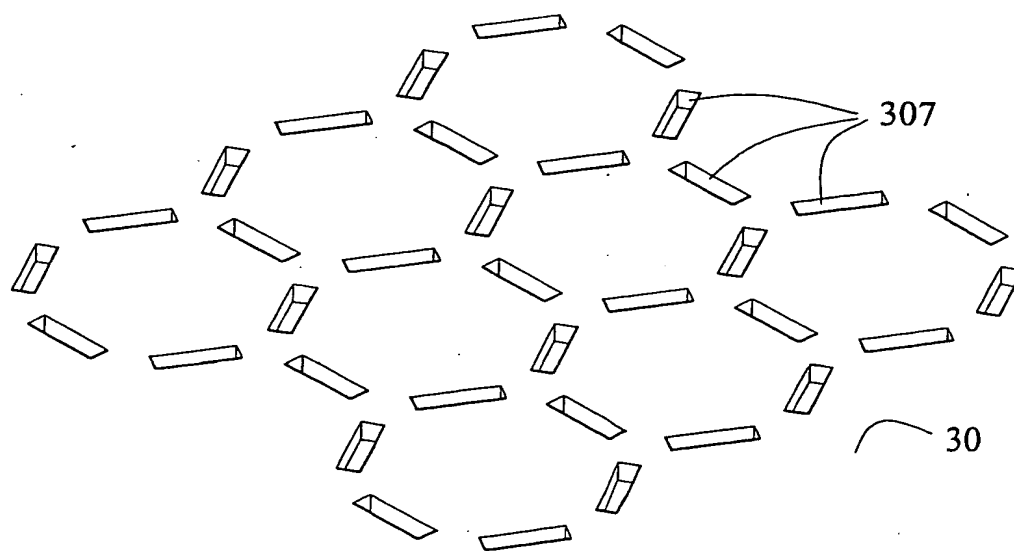
第 5 圖



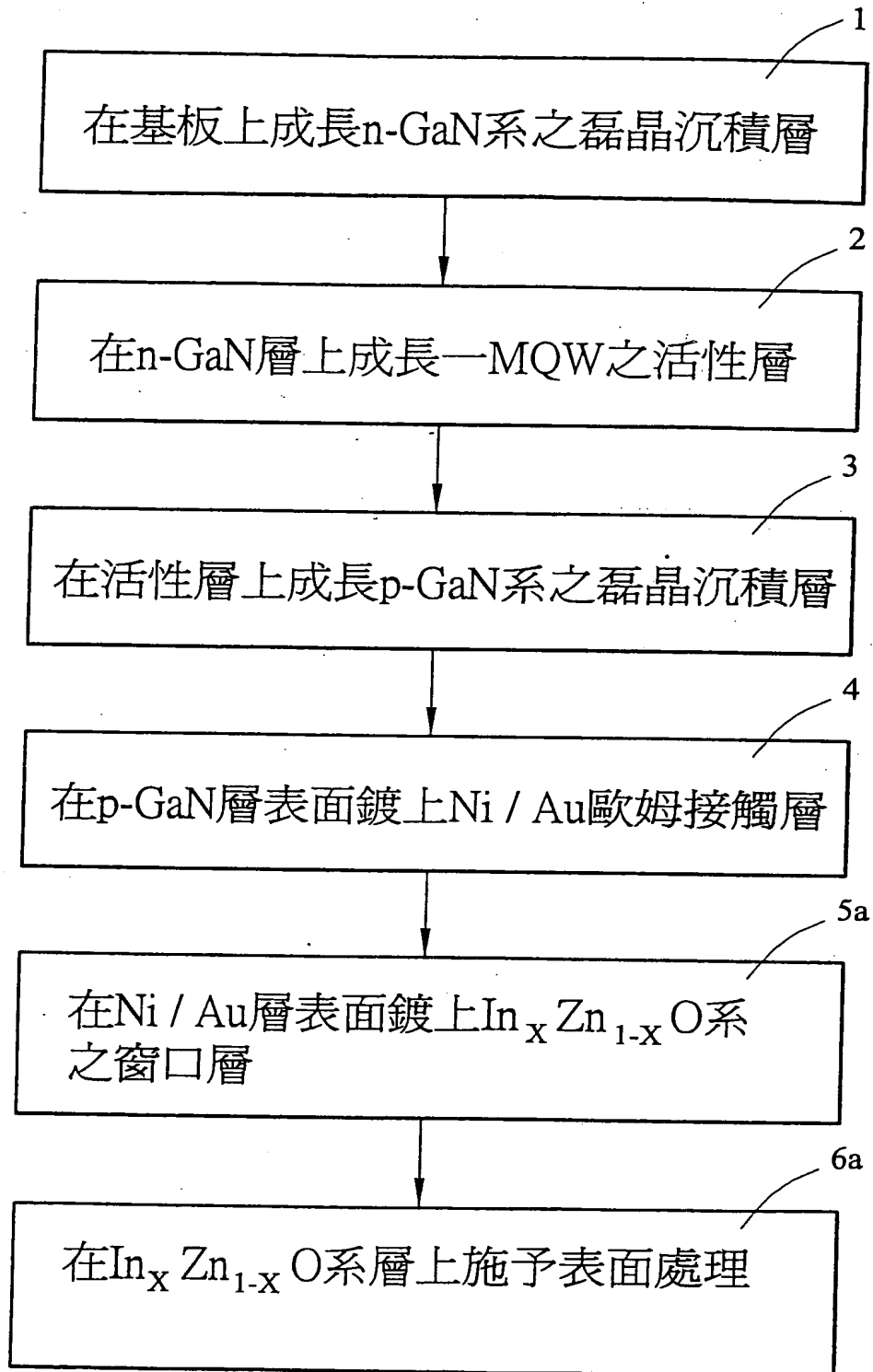
第 6 圖



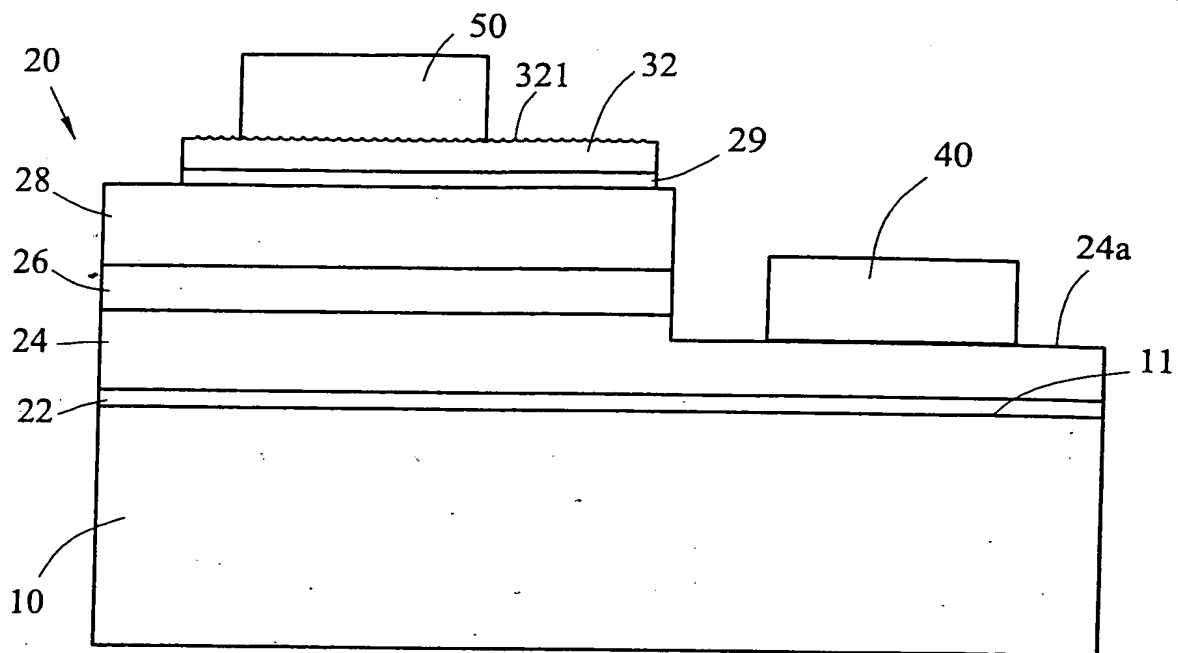
第 7 圖



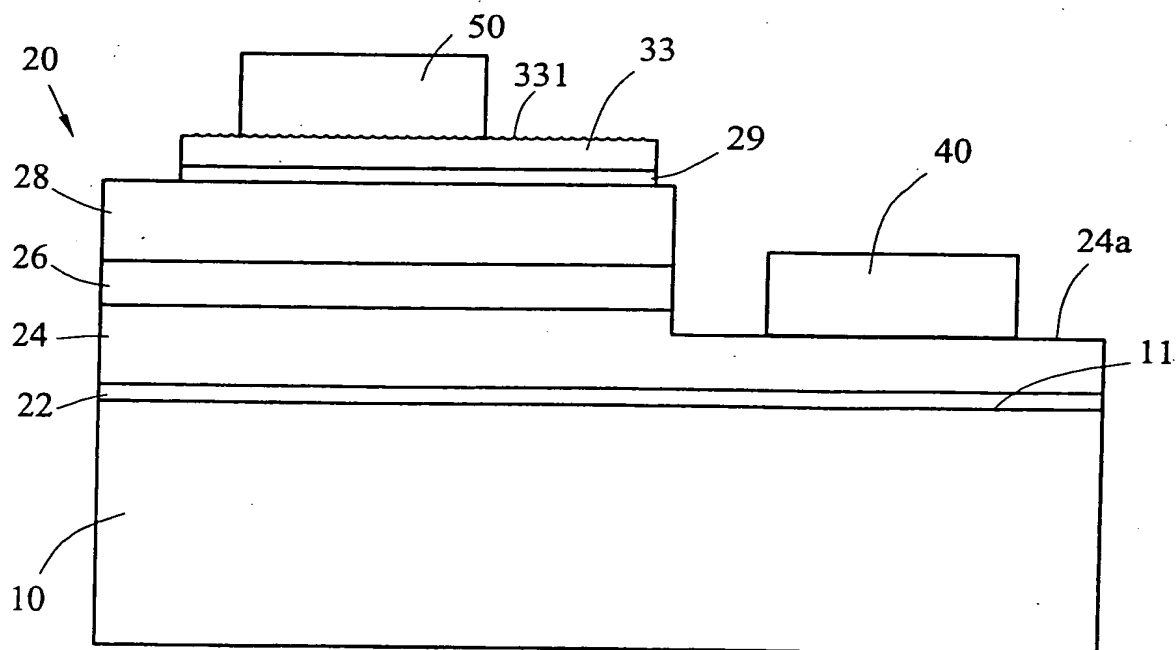
第 8 圖



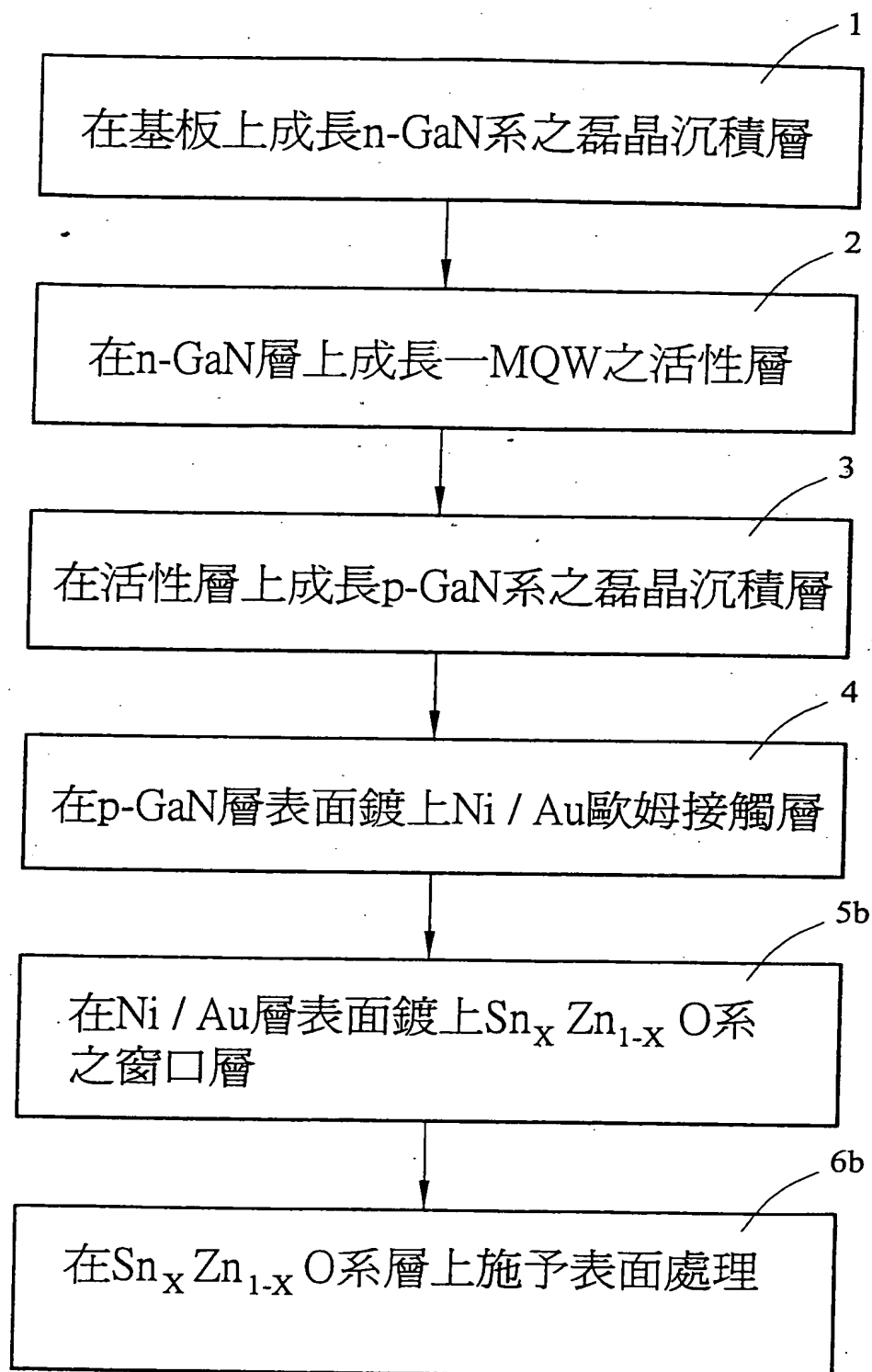
第 9 圖



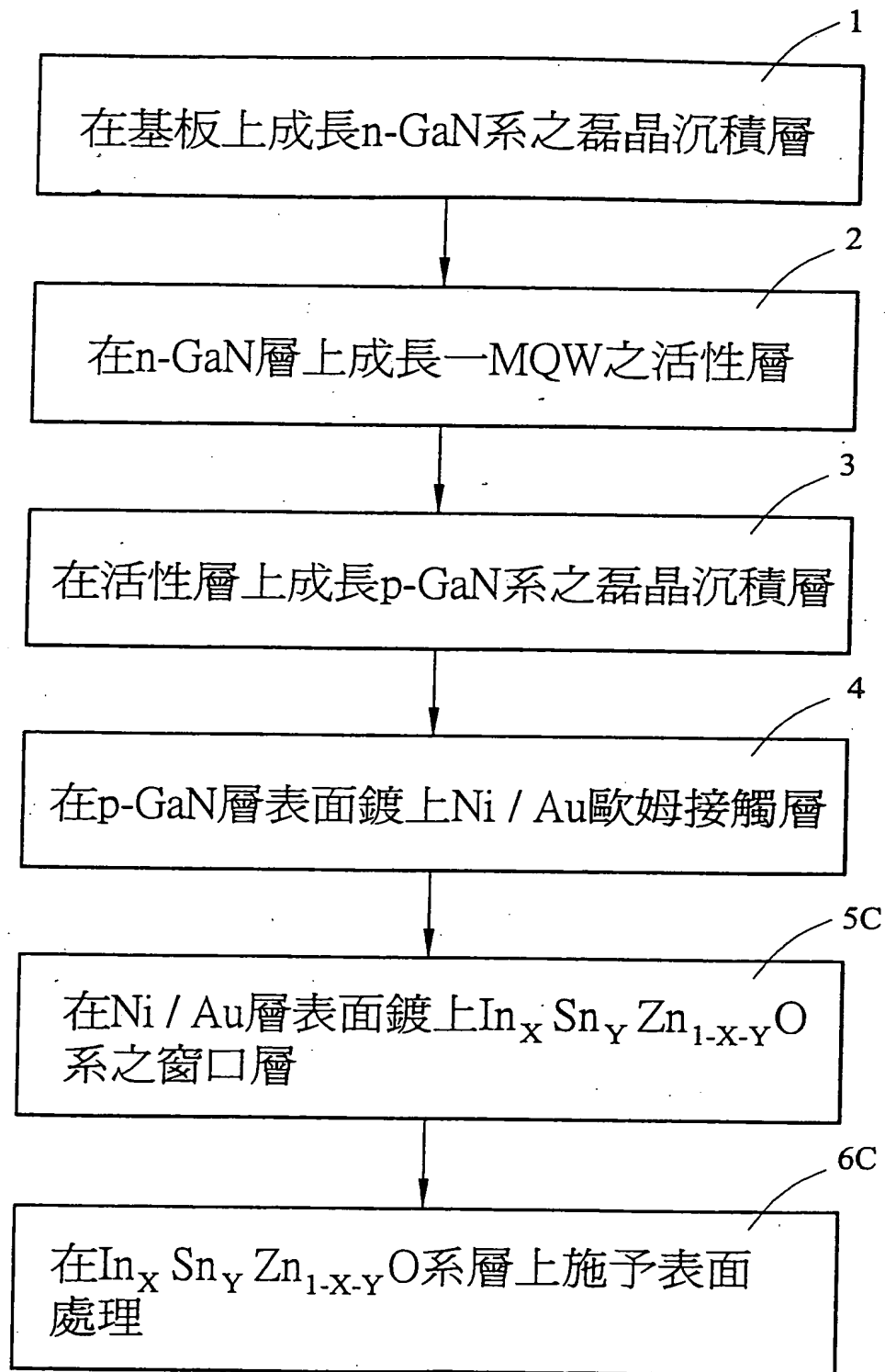
第 10 圖



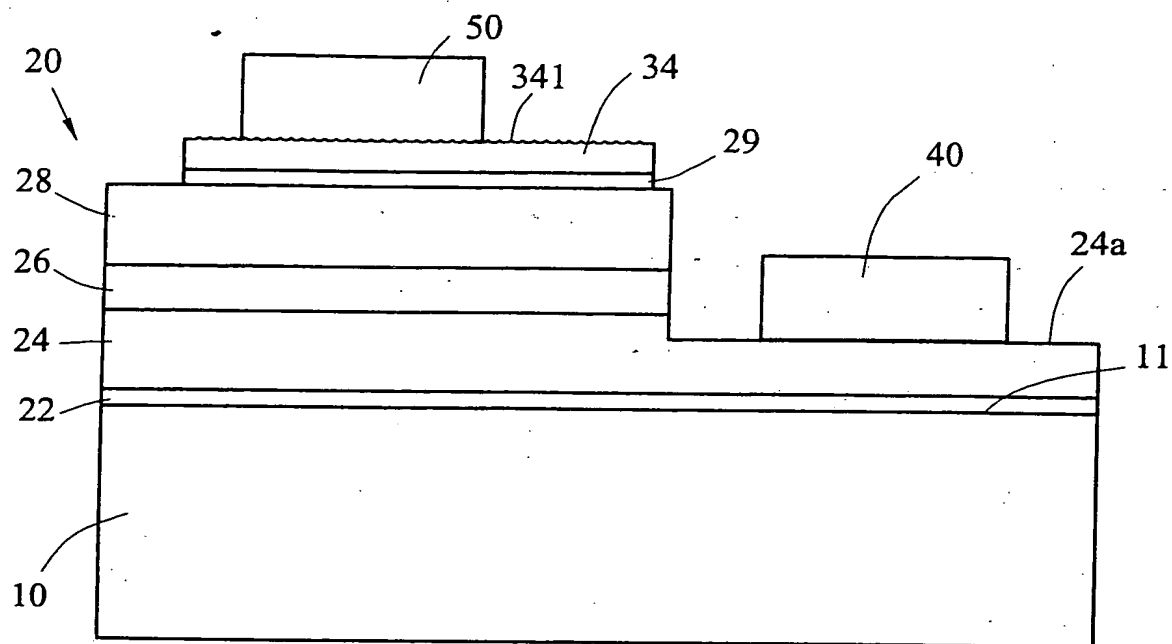
第 11 圖



第 1 2 圖



第 1 3 圖



第 1 4 圖